****

计算机组成原理（甲）

实 验 报 告

|  |  |
| --- | --- |
| **学 院** | 网络空间安全学院 |
| **专 业** | 网络工程 |
| **班 级** | 19272401 |
| **学 号** | 19061440 |
| **学生姓名** | F001 |
| **教师姓名** | 袁理峰 |
| **完成日期** | 2020.11.27 |
| **成 绩** |  |
| 实验二 超前进位加法器设计实验 （实验名称） | | |
| 1. **实验目的** 2. 掌握运用Verilog HDL进行数据流描述与建模的技巧和方法，掌握模块调用与实例引用的方法 3. 掌握超前进位加法器的原理与设计方法 | | |
| 1. **实验原理**   超前进位加法器的原理  减少了进位链的存在，对加法进位器进行了优化 | | |
| 1. **实验环境**   所用电脑的软硬件配置：4教机房电脑、Windows操作系统  实验所用的软件：ISE design suite | | |
| 1. **主要操作步骤及实验结果记录**   任务一：自Xilinx ISE中创建工程，编辑程序源代码，然后编译、综合    该段代码成功通过了语法检测  任务二：编写激励代码，观察仿真波形      经过检验，激励代码与仿真波形一致，代码无误。  任务三：观察资源消耗情况与内部相关结构 | | |
| 1. **实验分析总结及心得**   （结合所学知识对实验过程中观察到的实验结果进行分析总结，以便加深对知识的理解，并总结通过实验学到的知识或技术）  此次实验过程中，由于有了实验一打基础，遇到的问题相对较少甚至没有，因此在此部分，我将重点谈谈对于此次实验的思考与更深层次的理解。  通过观察最终得到的电路图我发现，超前二进制加法器与二进制加法器尽管实现的是同样的功能，但是其内部组成部件大相径庭，我认为其原因是超前二进制加法器去除了进位链的概念，用更快的速度完成了相同的内容。可以说，原理不同，结构也就自然不同了。这启示我们在面对同样的问题时，眼界不能单纯局限于对于目的的实现，也要注重原理层面上是否有着更好的方式进行优化。  通过查阅资料，我了解到更多位数的加法器，例如16位，各位的仅为逻辑表达式将会十分可观，甚至难以通过自然语言加以描述，因此，更多得通过二级逻辑进行实现。例如4位1组，组内采用超前进位，组件也通过本组得进位产生函数和进位传递函数实现组间超前进位。这启示我们在面对类似的困难时，可以从自身已有条件出发，逐步逼近目标，从而实现局部乃至全局的最优解。这种全新的思维方式不仅仅适用于计算机上，也适用于我们其他学科乃至生活的方方面面。 | | |